



(11) **EP 1 187 142 A1**

(12) **DEMANDE DE BREVET EUROPEEN**

**(43) Date de publication:**  
**13.03.2002 Bulletin 2002/11**

**(51) Int Cl.7: G11C 15/04**

**(21) Numéro de dépôt: 01410110.9**

**(22) Date de dépôt: 03.09.2001**

**(84) Etats contractants désignés:**  
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU**  
**MC NL PT SE TR**  
**Etats d'extension désignés:**  
**AL LT LV MK RO SI**

**(72) Inventeur: Ferrant, Richard  
38920 Crolles (FR)**

**(74) Mandataire: de Beaumont, Michel**  
**Cabinet Michel de Beaumont**  
**1, rue Champollion**  
**38000 Grenoble (FR)**

**(30) Priorité: 04.09.2000 FR 0011242**

**(71) Demandeur: STMicroelectronics S.A.  
92120 Montrouge (FR)**

(54) Cellule cache à masquage avec un nombre égal de transistors à canal N et de transistors à canal P

(57) L'invention concerne une cellule cache à masquage réalisée sous forme de circuit intégré, comprenant une première cellule de mémorisation comprenant un premier transistor (T1), des premier et deuxième inverseurs (INV1, INV2) en anti-parallèle et un deuxième transistor (T2); une cellule de comparaison, comprenant des troisième et quatrième transistors (PA, PB), commandant un cinquième transistor (PC), connecté en série avec un sixième transistor d'inhibition (PD) à une

ligne de résultat (MATCH) ; et une deuxième cellule de mémorisation, comprenant un septième transistor (T3) en série avec deux inverseurs (INV3, INV4) en anti-parallèle et un huitième transistor (T4), la deuxième cellule de mémorisation commandant le transistor d'inhibition (PD). Les premier, deuxième, septième, et huitième transistors sont des transistors à canal N et les troisième, quatrième, cinquième et sixième transistors sont des transistors à canal P.

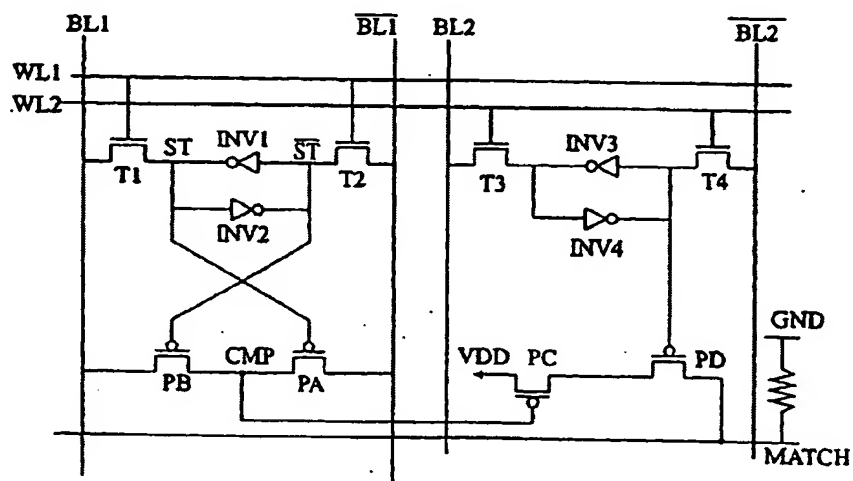


Fig 5

**2 1 187 142 A1**